

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 3 A
27/08	3 3 1		27/08	3 3 1 E
			29/78	6 1 8 F

審査請求 未請求 請求項の数14 F D (全 10 頁)

(21) 出願番号 特願平7-90157

(22) 出願日 平成7年(1995)3月23日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 楠本 直人

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 大沼 英人

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

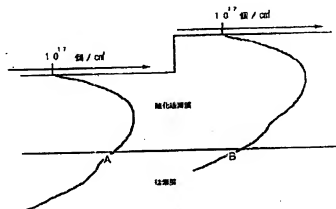
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置作製方法

(57) 【要約】

【目的】 アクティブマトリクス液晶表示装置の周辺駆動回路の、消費電力を低減し、また画素スイッチング用薄膜トランジスタの、配線による信号の遅延を防ぐ構成を提供する。またそのための、異なるしきい電圧 (V_{th}) を有する薄膜トランジスタを、同一基板上に形成する方法を提供する。

【構成】 CMOS回路を構成する各TFTのソース電極に、しきい値の高いTFTを挿入する。また画素TFTにおいて、ゲート線駆動回路から遠い薄膜トランジスタほど、しきい電圧が小さくなるようする。また、TFTチャネル領域の表面に、後の工程で剥離可能な制御膜を付け、その上からドーピングを行う。



【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に、結晶性シリコンよりなる複数の薄膜トランジスタが設けられ、

該複数の薄膜トランジスタは、チャネル形成領域に、P型またはN型のドーパントを含有している薄膜トランジスタ、および、チャネル形成領域に、P型またはN型のドーパントを実質的に含有していない薄膜トランジスタとで構成されていることを特徴とする半導体装置。

【請求項2】絶縁表面を有する基板上に、結晶性シリコンよりなる複数の薄膜トランジスタが設けられ、該複数の薄膜トランジスタのうちの少なくとも一つは、チャネル形成領域に含有されるP型またはN型のドーパントの濃度が、他の薄膜トランジスタとは異なることを特徴とする半導体装置。

【請求項3】請求項2において、P型のドーパントは、ボロンを含むことを特徴とする半導体装置。

【請求項4】絶縁表面を有する基板上に、結晶性シリコンよりなる複数の薄膜トランジスタが設けられ、該複数の薄膜トランジスタのうちの少なくとも一つは、チャネル形成領域に含有されるP型またはN型のドーパントが、他の薄膜トランジスタのチャネル形成領域に含有されるドーパントとは異なる種類のドーパントであることを特徴とする半導体装置。

【請求項5】絶縁表面を有する基板上に、結晶性シリコンよりなる複数の薄膜トランジスタが設けられ、該複数の薄膜トランジスタのうちの少なくとも一つは、しきい電圧 (V_{th}) が他の薄膜トランジスタとは異なることを特徴とする半導体装置。

【請求項6】請求項2、4、5において、チャネル形成領域中のドーパントは、 5×10^{15} 原子/cm³ ~ 5×10^{17} 原子/cm³ の濃度で存在していることを特徴とする半導体装置。

【請求項7】薄膜トランジスタのチャネルドープを行うに際し、

絶縁表面を有する基板の片面に、珪素膜を形成する工程と、
該珪素膜の上に、厚みに故意に分布を持たせた制御膜を形成する工程と、

該制御膜および前記珪素膜にドーパントを打ち込む工程と、
を有することを特徴とする半導体装置作製方法。

【請求項8】薄膜トランジスタのチャネルドープを行うに際し、

絶縁表面を有する基板の片面に、珪素膜を形成する工程と、
該珪素膜の上に、厚みに故意に分布を持たせた制御膜を形成する工程と、
該制御膜と前記珪素膜にドーパントを打ち込む工程と、
前記制御膜を除去する工程と、

前記珪素膜に、レーザ光またはそれと同等の強光を照射する工程とを有することを特徴とする半導体装置作製方法。

【請求項9】薄膜トランジスタのチャネルドープを行うに際し、

絶縁性を有する基板の片面に珪素膜を形成する工程と、
該珪素膜の上に、厚みに故意に分布を持たせた制御膜を形成する工程と、

該制御膜と前記珪素膜にドーパントを打ち込む工程と、
前記制御膜を除去する工程と、

前記珪素膜に対しエキシマレーザ光を照射する工程とを有することを特徴とする半導体装置作製方法。

【請求項10】薄膜トランジスタのチャネルドープを行うに際し、

絶縁性を有する基板の片面に珪素膜を形成する工程と、
該珪素膜の上に、制御膜を形成する工程と、
該制御膜の上に、レジストを形成する工程と、
該レジストを所望の形にパターニングする工程と、
前記制御膜および珪素膜にドーパントを打ち込む工程と、

を有することを特徴とする半導体装置作製方法。

【請求項11】薄膜トランジスタのチャネルドープを行うに際し、

絶縁性を有する基板の片面に珪素膜を形成する工程と、
該珪素膜の上に、制御膜を形成する工程と、
該制御膜の上にレジストを形成する工程と、
該レジストを所望の形にパターニングする工程と、
前記制御膜および珪素膜にドーパントを打ち込む工程と、

前記レジストおよび前記制御膜を除去する工程と、
前記珪素膜にレーザ光またはそれと同等の強光を照射する工程と、

を有することを特徴とする半導体装置作製方法。

【請求項12】請求項7~11において、制御膜は、酸化珪素膜であることを特徴とする半導体装置作製方法。

【請求項13】薄膜半導体集積回路において、同一基板上で2種類以上の異なるしきい電圧を有する薄膜トランジスタを有し、

前記基板上で構成されるCMOS回路のPチャネル型薄膜トランジスタのソース電極と、Nチャネル型薄膜トランジスタのソース電極に、前記CMOS回路のしきい電圧よりも高いしきい電圧を有する薄膜トランジスタが接続されていることを特徴とする半導体装置。

【請求項14】薄膜トランジスタが接続された素子が、複数マトリクス状に配置され、

ゲイト線駆動回路と、該ゲイト線駆動回路に接続された、複数のゲイト線とが設けられ、
前記ゲイト線の各々には、前記薄膜トランジスタが複数接続され、
一つのゲイト線に接続された複数の薄膜トランジスタの

うち、前記ゲート線駆動回路から遠いものほど、しきい電圧が小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、結晶性シリコンで構成される薄膜半導体集積回路の、消費電力の低減に関する。本発明は、結晶性シリコンで構成されるアクティブマトリクス表示装置の駆動回路の、消費電力の低減に関する。本発明は、半導体材料に対するイオンドーピング技術、およびそれを用いた半導体や半導体装置の作製方法に関する。また、本発明は、薄膜トランジスタ（以下TFT（Thin Film Transistor）と記す）のOFF時のリーク電流を低減することに関する。

【0002】

【従来の技術】近年、液晶を用いたアクティブマトリクス表示装置の研究が盛んである。アクティブマトリクス表示装置は、各画素毎にスイッチング素子を設け、画像信号線より供給される信号を、前記スイッチング素子によって画素に供給する装置である。従来、スイッチング素子としてはアモルファスシリコン半導体を用いた薄膜トランジスタ（TFT）が使用されていたが、近年動作速度が大きい結晶性（結晶成分を含んでいる）シリコン半導体を用いたTFTが開発されている。

【0003】しかしながら、結晶性シリコンを用いたTFTでは、アモルファスシリコン半導体を用いたTFTと比較して、ゲート電極に逆バイアス電圧を印加した際のリーク電流（OFF電流）が大きくなってしまふ。この原因は、結晶粒界の存在に起因すると考えられており、これによって結晶性シリコンを用いたアクティブマトリクス表示装置を構成する回路の特性および消費電力を大きくしてしまうため、最大の問題となっている。Nチャネル型TFTの場合、 V_{GS} （TFTのソース・ゲート間電圧）を負にバイアスした時のリーク電流は、半導体薄膜の表面に誘起されるP型層と、ソース領域およびドレイン領域のN型層との間に形成される、PN接合を流れる電流により規定される。そして、半導体薄膜中（特に粒界）には多くのトラップが存在するため、この

$$R_{wire} = \rho \cdot L / (W \cdot T) \\ C_{wire} = \epsilon_{OX} \cdot W \cdot L / H$$

ここで、配線による信号の遅延時間 t_{wire} は、時定数RCとなり、次式で表される。

$t_{wire} = R_{wire} \cdot C_{wire} = \rho \cdot \epsilon_{OX} \cdot L^2 / (T \cdot H)$
この式より、配線による信号の遅延時間は配線長の2乗に比例していることがわかる。従来は、配線による信号の遅延を防ぐため、現状ではゲート線駆動回路をアクティブマトリクス表示装置の両側に備えつけて、ゲート配線の配線長を短くすることで対応しているが、充分では

PN接合は不完全であり、接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどリーク電流が増加するのは、半導体薄膜の表面に形成されるP型層のキャリア濃度が増加してPN接合のエネルギー障壁の幅が狭くなるため、電界の集中が起こり接合リーク電流が増加することによるものである。

【0004】このようにして生ずるリーク電流は、ソース/ドレイン電圧に大きく依存し、TFTのソース/ドレイン間に印加される電圧が大きくなるに従い、リーク電流が飛躍的に増大することが知られている。例えば、ソース/ドレイン間に5Vの電圧を加えた場合と10Vの電圧を加えた場合とでは、後者のリーク電流は前者の2倍ではなく、10倍以上になる場合がある。また、このような非線型性はゲート電圧にも依存する。一般にゲート電極の逆バイアスの値が大きい場合（Nチャネル型では、大きなマイナス電圧）には、両者の差が著しくなる。

【0005】

【発明が解決しようとする課題】アクティブマトリクス表示装置を有する製品の代表的なものとして、ノートパソコンや携帯用情報端末等が挙げられる。ところが、これらにおいては、現状ではアクティブマトリクス表示装置が、全体の消費電力の大半を占めてしまっており、バッテリーによる長時間駆動の要求からアクティブマトリクス表示装置の低消費電力化が望まれている。しかしながら、アクティブマトリクス表示装置の周辺駆動回路をCMOS（Complementary Metal-oxide Semiconductor）のTFTで構成した場合においても、Pチャネル型TFTが、OFF状態にもかかわらず、かなり大きなリーク電流が流れてしまひ、そのため、回路全体としての消費電力が増大してしまふ。

【0006】また、アクティブマトリクス表示装置を高精細かつ大画面にする場合には、画面のゲート線長が長くなり、選択した画素TFTがON状態になるまでの時間遅延が問題となっている。ゲート線の配線抵抗を R_{wire} 、配線容量を C_{wire} とすると近似的に次式で表せる。

$$\rho : \text{配線材料の抵抗率} \\ L : \text{配線長} \\ W : \text{配線幅} \\ T : \text{配線膜厚} \\ \epsilon_{OX} : \text{フィールド酸化膜の誘電率}$$

なかった。

【0007】

【発明が解決しようとする課題】以上のことを鑑み、本発明は、結晶性シリコンで構成される薄膜半導体集積回路、特にアクティブマトリクス液晶表示装置の周辺駆動回路の、消費電力を低減する構成を提供することを目的とする。また、本発明は、アクティブマトリクス液晶表示装置の画素スイッチング用薄膜トランジスタの、配線

による信号の遅延を防ぐ構成を提供することを目的とする。また、本発明は、異なるしきい電圧 (V_{th}) を有する薄膜トランジスタを、同一基板上に形成する方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 結晶性シリコンで構成される薄膜半導体集積回路としての、CMOS回路のリーク電流を減少させるには、前述のようにソース/ドレインの電圧を減少せねばよい。そのために、本発明は、CMOS回路を構成する、Pチャネル型TFTのソース電極にPチャネル型TFTを、Nチャネル型TFTのソース電極にNチャネル型TFTに挿入する。そして、CMOS回路のしきい電圧より、挿入したPチャネル型TFTとNチャネル型TFTのしきい電圧を高くすることで、該当するCMOS回路を使用しない時には、挿入したPチャネル型TFTとNチャネル型TFTをOFF状態にして、CMOS回路を電源から切り離すことが可能になる。また、しきい電圧がCMOS回路の方が低い場合、CMOS回路のリーク電流は減少し、薄膜トランジスタにより構成される集積回路の消費電力を低減することができる。

【0009】 また、画素TFTにおいて、各TFTを、アクティブマトリクス表示装置のゲイト線の配線抵抗にによる電圧降下を考慮したしきい電圧とする、すなわちゲイト線駆動回路から遠い薄膜トランジスタほど、しきい電圧が小さくなるように製造することで、駆動しようとする画素TFTのゲイト電圧が従来より低くなるため、ゲイト配線の配線容量の充電時間が短くて済み、ゲイト線駆動回路から遠方に配置された画素TFTがON状態になるまでの時間が従来より短縮される。

【0010】 さらに、これらのように、同一基板上に形成される複数の薄膜トランジスタの、それぞれのしきい電圧を、異なるための方法を以下に説明する。最近、薄膜トランジスタ (TFT) のチャネル領域にドーピングを行うことが試みられている。以下、この技術をチャネルドープと呼ぶ。このチャネルドープにより、 V_{th} (しきい電圧) の制御が可能となる。本来 V_{th} はほぼ0V (実際には、 V_g (ゲイト電圧) が0Vのときに I_D (ドレイン電流) がほぼ最小値となる。) であるべきなのだが、半導体材料の結晶性を高めるため、あるいは半導体材料の均質性を上げるため等の目的で、半導体材料に手を加えると、 V_{th} が0Vからかなりずれてくる場合がある。あるいはそれ以外の原因で V_{th} がずれる場合もありうる。いづれにせよ、これら V_{th} のずれは、チャネルドープにより、ほぼ0Vとすることができ。

【0011】 V_{th} がマイナス側に出ているかプラス側に出ているかにより、ドーパントにN型のもの (ドーパされた半導体がN型を示す) を使うかP型のもの (ドーパされた半導体がP型を示す) を使うかが変わってくる。また、 V_{th} のずれの程度によって、チャネルドープ

時のドーズ量を変える。すなわち、 V_{th} がいかにずれようとも、チャネルドープにおけるドーズ量を調節することで、 V_{th} をほぼ0Vとすることができる。また、 V_{th} の微調整もドーズ量を調節することにより可能である。一般に、チャネルドープにおけるドーズ量は、ソースドレインに打ち込まれるドーズ量よりも少ない。ドーピング後、多量のドーパントが半導体材料に打ち込まれたことにより作られる格子欠陥を修復するために、アニール処理が行われる。

【0012】 ここでは、複数の薄膜トランジスタにおいて、故意に V_{th} を異なる方法について述べる。 素子間で V_{th} を異なるためには、前述したようにトランジスタのチャネル領域にドーピングするドーズ量を変えればよい。

【0013】 図2に、ドーピングによって珪素膜に注入されたドーパントのドーズ量の分布を示す。ドーズ量を、個々の薄膜トランジスタにおいて制御するためには、ドーピング後、ドーズ量が、図2のような分布で被ドーピング物に入る性質を利用する。なお、図2は縦軸がドーズ量、横軸が被ドーピング物の表面からの深さを表している。図2に示すように、ドーズ量は深さ方向に対して3桁程度の幅を持って分布している。このような分布をしていることから、薄膜トランジスタを形成するに際し、薄膜トランジスタのチャネル領域の表面に、後の工程で剥離可能な制御膜、例えば酸化珪素膜を付け、その上からドーピングを行うことにより、制御膜の厚さにより、チャネル領域に入る不純物のドーズ量を調節できる。

【0014】 この方法は、同一種類のドーパントをドーピングする際に、同一基板上で濃度分布を持たす方法である。しかしながら、これでは V_{th} を1方向 (プラス方向のみ、あるいはマイナス方向のみ) にしか動かすことができない。この問題に対しては、異なる種類のドーパントを領域別に打ち込むことで解決することができる。また、 V_{th} を全シフトさせない薄膜トランジスタと、シフトさせる薄膜トランジスタを製作する場合は、全くドーパントを入れない領域と入れる領域とを形成すればよい。これらの V_{th} の制御の技術は、回路を構成する個々の薄膜トランジスタの V_{th} を異なるだけでなく、同一 V_{th} を有する薄膜トランジスタを製作しようとしたときに、各薄膜トランジスタの V_{th} が異なっていた場合に、その違いを無くし、均質化させるために用いることができる。以下に実施例を示す。

【0015】

【実施例】

【実施例1】 本実施例では、同一基板上に複数の薄膜トランジスタを形成する工程の途中、チャネルドープの工程を入れたもので、特に回路特性の良い薄膜トランジスタの作製方法を示す。具体的には、 V_{th} をチャネルドープの技術によって制御し、トランジスタ間で V_{th} の値を

やや異ならしめることで回路全体の特性を向上させたり回路全体の消費電力を低減させる技術に関する。なお、本実施例ではチャンネルドープまでの工程を示す。その後、本実施例で得られた珪素膜を用いて通常の方法でトランジスタを形成すれば良い。

【0016】まず、ドーピングされる前の製造途中の薄膜トランジスタを用意する。薄膜トランジスタについても、まだガラス基板（コーニング7059）上に、珪素膜が500Å、そのさらに上に酸化珪素膜が1200Å成膜されているだけのものである。勿論これらの厚さは、必要とする厚さとするればよい。酸化珪素膜は制御膜であって、チャンネル部分に打ち込まれるドーパントのドーパント量を制御する役割を果たす。制御膜は酸化珪素膜であってもよい。詳細は後で述べる。この段階でチャンネルドープをする訳は、プレーン型薄膜トランジスタのチャンネル部分が、通常ゲート電極の下に位置するので、ゲート電極が形成される前にドーピング処理をしなければならぬからである。なお、ここのドーピングは、珪素が主成分の膜のことであり、該珪素膜は、アモルファス構造、または微結晶、多結晶などの結晶成分を有する結晶性の構造を有している。

【0017】次に、ドーピング装置の簡単な説明をする。図1にドーピング装置の概略図を示す。図1の一番上のプラズマソース501中でプラズマを発生させ、その中で生じたイオンをプラズマソース下のイオンの加速領域で、加速領域に電圧をかけたことによって加速する。図中に示しているように三箇所、電圧をかける所が設けてあり、下から順番に減速電圧504、加速電圧503、引き出し電圧502と呼ばれている。実際にドーピングを行なうときは、下から順番に電圧をかけていく。なお、図中の基板ホルダー505にはヒーターが内蔵されており、基板を任意の温度に保つことができる。

【0018】実際のドーピングの方法は以下の通りである。ここではドーパントにはボロンを用いた（他のドーパントを用いても構わない。目的に応じてドーパントは変える）。本実施例では5%希釈のジボランガスを使用する。ジボランガスをドーピング装置のプラズマソースに注入し、ドーピングされる前の製造途中の薄膜トランジスタを図1の基板ホルダー505にセットする。このとき、基板ホルダー505内に内蔵されているヒーターは50℃～500℃に保たれている。温度を高く保つことにより、ドーピング中の半導体材料の活性化が促進される。

【0019】その後、イオンの加速領域を真空引きしてプラズマソースから上記ジボランガスをこの加速領域に注入し、まず減速電圧を-1kVかける。次に加速電圧27kVをすしにかけ、その状態を5秒間維持させる。最後に引き出し電圧を、1秒間かけて、3kVまで連続的に昇圧させて印加する。以上のプロセスで、制御膜である酸化珪素膜表面から、珪素膜にかけて、図2で示されるプロ

ファイルでボロンが入る。図2の深さ1200Åから1700Åにかけてのプロファイルを見ると、 6×10^{16} 原子/cm³～ 6×10^{17} 原子/cm³のドーパントが入っていることがわかる。これは、BHXによるプロファイルである。一方、表面から1200Åまでのプロファイルを見ると、大きな山状のプロファイルを示しており、最大で 7×10^{18} 原子/cm³のドーパントが入っていることがわかる。

【0020】この山状のプロファイルは、B₂H₆によるものである。この部分は酸化珪素膜中なのでドーパントがいくら入ってもTFETの特性には全く影響しない。酸化珪素膜を形成した理由は、 1×10^{17} 原子/cm³前後の少ないドーパント量でドーパントを珪素膜に入れるためである（既存のドーピング装置で 1×10^{17} 原子/cm³前後のドーパント量を直接入れることは難しい）。なお、ここで示したドーパント量は参考までの値であり、目的により所望のドーパント量を打ち込めばよい。本出願人の実験によると、チャンネルドープにおいては、ソースドレインに打ち込まれるドーパントより低いドーパント量で打ち込めばよく、そのドーパント量は、 5×10^{15} 原子/cm³～ 5×10^{17} 原子/cm³の範囲に入っていると、良好なしきい電圧の制御ができることがわかっている。

【0021】以上のようなドーピング技術を応用して、チャンネル領域に打ち込まれるドーパントをトランジスタ間で異ならしめることができる。このために必要な技術を図1に示す。

（0022）1. 全くチャンネルドープを行わない素子と、チャンネルドープを行う素子とを同一基板上に形成する方法。これにはドーピングをしたくない領域をドーピングの際、隠しておきさえすればよい。具体的には、上述の制御膜である酸化珪素膜の上にレジストをつけ、そのレジストをパターニングすることで、レジスト下にはドーピングされないため、ドーピングされる部分とされない部分に分けることができる。ドーピング後、酸化珪素膜とレジストを除去する。この場合、レジストと同じ役割を果たすものであればどんな物を用いても構わない。

（0023）2. 同一種類のドーパントを、領域別に異なる濃度で入れる方法。これには酸化珪素膜の厚さを領域別に異ならしめ、その上からドーピングを施すことがよい。なぜなら、このような方法を探ると、図5のようなドーパント量の分布をするからである。図5にドーパント量の分布を示す。図5のA点とB点では明らかにドーパント量が異なっている。具体的には、制御膜である酸化珪素膜の上にレジストを設け、該レジストのパターニング後、該酸化珪素膜を所望の厚さまでエッチングする。その後、レジストを剥離すれば領域別に厚さの異なる酸化珪素膜ができる。この膜の上からドーピングを行う。

（0024）3. 異なる種類のドーパントを、領域別に

従来の技術

1. 記載の方法を応用する。1. の方法を2回繰り返しても良いが、それでは工程が増えすぎる。そこで、1回目のドーピングが終了後、レジストのみ剥離し、新たにレジストを付け、1回目と異なるパターンニングを施して2回目のドーピングを行う。

【0025】以上3通りの方法は、2つの領域に異なるドーパントのドーピングを施す方法であるが、3つ以上の領域に上述の方法を用いても構わない。これらの方法を探ることにより、素子毎のより細かい V_{th} の制御が可能となった。これらのドーピング後、多量のドーパントが半導体材料に打ち込まれたことにより作られる格子欠陥を修復するために熱アニールが行われる。その後、このようにして形成された珪素膜を、加工し、ゲート絶縁膜、ゲイト電極、ソース/ドレイン電極、パッシベーション膜、金属電極等を設けて、同一基板上に、異なるしきい電圧を有する薄膜トランジスタを形成することができた。

【0026】〔実施例2〕実施例1で示した工程の次、もしくは熱アニールの代わりに、レーザアニールの工程を入れる。このレーザ光の照射の目的は、上記珪素膜の欠陥格子のさらなる減少、結晶性の向上、並びにドーパントの基板面分布の均一化である。レーザアニール前に酸化珪素膜をエッチングにより取り除いておく。まずレーザ装置について説明する。図3には本実施例で使用したレーザアニール装置の概念図を示す。レーザ光は発振器2で発振される。発振器2で発振されるレーザ光は、KrFエキシマレーザ（波長248nm、パルス幅25ns）である。勿論、他のエキシマレーザさらには他の方式のレーザを用いることもできる。

【0027】発振器2で発振されたレーザ光は、全反射ミラー5、6を経由して増幅器3で増幅され、さらに全反射ミラー7、8を経由して光学系4に導入される。光学系4に入射する直前のレーザ光のビームは、 $3 \times 2 \text{ cm}^2$ 程度の長方形であるが、光学系4によって、長さ10〜30cm、幅0.1〜1cm程度の細長いビーム（線状ビーム）に加工される。この光学系4を経たレーザ光のエネルギーは最大で1000mJ/ショットである。

【0028】レーザ光をこのような細長いビームに加工するのは、加工性を向上させるためである。即ち、線状のビームは光学系4を出た後、全反射ミラー9を経て、試料11に照射されるが、ビームの幅は試料の幅よりも長いので、試料を1方向に移動させることで、試料全体に対してレーザ光を照射することができる。従って、試料のステージ及び駆動装置10は構造が簡単で保守も用意である。また、試料をセットする際の位置合わせの操作（アライメント）も容易である。

【0029】レーザ光が照射される試料のステージ10はコンピュータにより制御されており線状のレーザ光に対して直角方向に動くよう設計されている。又、ス

テージ10の下にはヒーターが内蔵されており、レーザ光の照射時に試料を所定の温度に保つことができる。

【0030】光学系4の内部の光路を図4に示す。光学系4に入射したレーザ光はシリンドリカル凸レンズA、シリンドリカル凸レンズB、横方向のフライアイレンズC、Dを通過することによってレーザ光はそれまでのガウス分布型から矩形分布に変化する。さらに、シリンドリカル凸レンズE、Fを通過してミラーG（図3ではミラー9に相当）を介して、シリンドリカル凸レンズHによって集束され、試料に照射される。

【0031】具体的なレーザ照射は以下のように行う。レーザビームは、ビーム形状変換レンズを用いて長方形に整形し、被照射部分でのビーム面積は $1.25 \text{ mm} \times 1 \text{ mm}$ とする。試料は、ステージ10上に載せられており、ステージを 2 mm/s の速度で移動させることによって、その全面に照射が行われる。レーザ光の照射条件は、まず予備照射として $150 \sim 250 \text{ mJ/cm}^2$ 、次に本照射として $200 \sim 380 \text{ mJ/cm}^2$ の2段階照射とし、パルス数を30パルス/sとする。ここで、2段階照射とするのはレーザ照射による膜表面の均一性悪化を極力抑え、結晶性のよりよい膜を作るためである。

【0032】なお、レーザ光の照射の際、基板温度は 200°C に保たれている。これは、レーザによる基板表面温度の上昇と下降の速度を和らげるために行われている。この実施例では基板温度を 200°C に設定しているが、実際の実施では $100^\circ\text{C} \sim 600^\circ\text{C}$ までの間でレーザアニールに最適な温度を選ぶ。また雰囲気制御は特に行わず、大気中で照射が行われる。レーザ光以外に、レーザ光と同等の強光、例えば赤外線、赤外線ランプを用いて照射してもよい。

【0033】〔実施例3〕アクティブマトリクス表示装置における駆動回路を構成するシフトレジスタについて、リーク電流を低減する回路を図5に示す。シフトレジスタの1個の出力信号は、1個のタイミング発生回路と2個の電源制御回路から作られる。 $\overline{F_i} \rightarrow \overline{F_i} \rightarrow \overline{F_i}$ はタイミング発生回路で、図5に回路図を示す。タイミング発生回路は、低いしきい電圧の薄膜トランジスタで構成されたクロックトインバータ1個と、高いしきい電圧の薄膜トランジスタで構成されたインバータ2個で構成される。これらの、しきい電圧の異なる薄膜トランジスタは、〔実施例1〕に記載の方法によって作製された。タイミング発生回路は、アクティブマトリクス表示装置の走査タイミングまたは画像信号の出力タイミングを発生する。図中信号clkはタイミング発生回路の動作クロックである。 $\overline{\text{clk}}$ はclkを論理反転した信号である。そして、図中信号 $Q_{i-2} \sim Q_{i+2}$ はタイミング発生回路の出力信号でシフトレジスタの出力信号となる。 $*Q_{i-2} \sim *Q_{i+2}$ は $Q_{i-2} \sim Q_{i+2}$ を論理反転した信号である。

【0034】 $VC_{i-2} \sim VC_{i+2}$ は電源制御回路で、図9に回路図を示す。電源制御回路は高いしきい電圧の2入力NAND1個と高いしきい電圧の3入力NAND1個で構成されるSRラッチである。電源制御回路はタイミング発生回路の電源の切り離しを制御している。図中信号 $PON_{i-2} \sim PON_{i+2}$ はタイミング発生回路に接続しているPチャネル型TFTをON/OFFする信号である。図中信号 $NON_{i-2} \sim NON_{i+2}$ はタイミング発生回路に接続しているNチャネル型TFTをON/OFFする信号である。図中信号*RESETは、アクティブマトリクス表示装置の電源投入後、電源制御回路のSRラッチの出力が矛盾するのを防ぎ、論理を確定するために、電源投入後一定時間入力される信号である。

【0035】回路の動作について以下に説明する。タイミング発生回路iに入力パルスが入力すると、クロックインバータにより、クロック同期されて出力信号 Q_i と* Q_i が出力される。出力信号 Q_i はアクティブマトリクス表示装置のタイミング信号となると同時に、次段のタイミング発生回路(i+1)の入力パルスとなる。ここで、出力信号* Q_i は電源制御回路(i+2)に入力し、出力信号 PON_{i+2} と NON_{i+2} をアクティブにする。この結果、タイミング発生回路(i+2)を電源と接続する。同時に出力信号* Q_i は電源制御回路(i-2)に入力し、出力信号 PON_{i-2} と NON_{i-2} を非アクティブにする。この結果、タイミング発生回路(i-2)を電源から切り離す。

【0036】尚、本実施例では、シフトレジスタがn段の出力を持つ場合には、タイミング発生回路は(n+2)個存在し、電源制御回路は(2n-4)個存在する。この理由は、タイミング発生回路(n-1)とタイミング発生回路nの電源制御(電源の切り離し)を行うためにタイミング発生回路(n+1)とタイミング発生回路(n+2)が必要であることと、電源投入後のシフトレジスタの発振の防止に、タイミング発生回路1とタイミング発生回路2とタイミング発生回路(n+1)とタイミング発生回路(n+2)が電源制御回路を有しないためである。

【0037】以上のようにして、シフトレジスタの信号を出力しない回路において、しきい電圧の高いTFTを使用することで、タイミング発生回路のクロックインバータを電源から切り離す。クロックインバータを構成するTFTは、電源を接続しているTFTよりしきい電圧が低いため、リーク電流は従来より減少する。また、タイミング発生回路のインバータは出力信号を保持しているためリーク電流は流れない。従って、アクティブマトリクス表示装置の消費電力を低減することができた。

【0038】【実施例4】実施例4においては、アクティブマトリクス表示装置における、スイッチング速度を向上させた画素TFTの配列の例を示す。図9に、実施

例4におけるアクティブマトリクス表示装置のゲイト線駆動回路と画素TFTの概略図を示す。901は、ゲイト線駆動回路で、インバータを複数接続して構成される。TFT₁～TFT_nはNチャネル型画素TFTである。各TFT_iのしきい電圧を、 $V_{th1} \sim V_{thn}$ とすると、 $V_{th1} \geq V_{th2} \geq \dots \geq V_{th(n-1)} \geq V_{thn}$ の関係となるように、実施例1に記載の方法により、画素TFTが作製された。すなわち、ゲイト線駆動回路から遠くなるに従い、画素TFTのしきい電圧を低くする。このような構成とすることで、ゲイト線駆動回路から遠いTFTのゲイト電圧を低くでき、その結果、ゲイト配線の配線容量の充電時間が短くて済み、ゲイト線駆動回路から遠方に配置された画素TFTがON状態になるまでの時間が従来より短縮されるこのようにして、アクティブマトリクス表示装置において、ゲイト線駆動回路は、従来よりも短い時間で画素TFTをON状態にすることができた。

【0039】

【発明の効果】以上のように、本発明により、結晶性シリコンにより構成される、薄膜半導体集積回路、特に、アクティブマトリクス表示装置の周辺駆動回路において、リーク電流を減少させ、消費電力を低減させることができた。また、同一基板上に形成されるTFTにおいて、2種類以上の異なるしきい電圧を有するものを形成することができた。また、アクティブマトリクス表示装置の表示部分の画素TFTにおいて、ゲイト線駆動回路から遠方に配置された画素TFTの、ON状態になるまでの時間を、従来より短縮することができた。すなわち、本発明により、結晶性シリコンにより構成される薄膜トランジスタのしきい電圧 V_{th} を制御し、回路の特性の改善を行うことができた。

【図面の簡単な説明】

【図1】 ドーピング装置の概略図を示す。

【図2】 ドーピングによって珪素膜に注入されたドーパントのドーパ量の分布を示す図。

【図3】 実施例2で使用したレーザアニール装置の概念図を示す。

【図4】 図3の光学系4の内部の光路を示す図。

【図5】 ドーズ量の分布を示す図。

【図6】 実施例3におけるアクティブマトリクス表示装置の駆動回路の概略図

【図7】 実施例3における駆動回路を構成するタイミング発生回路の回路図

【図8】 実施例3における駆動回路を構成する電源制御回路の回路図

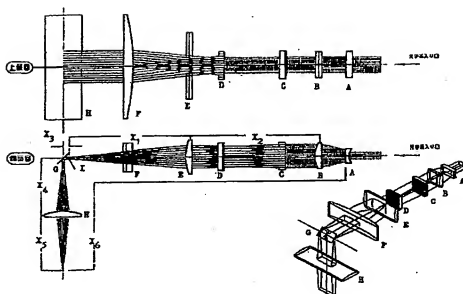
【図9】 実施例4におけるアクティブマトリクス表示装置のゲイト線駆動回路と画素TFTの概略図

【符号の説明】

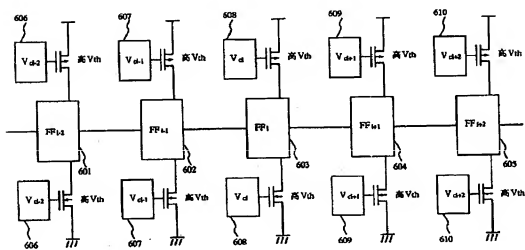
2 発振器

3 増幅器

【図4】

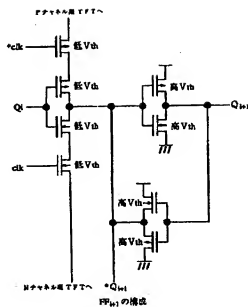
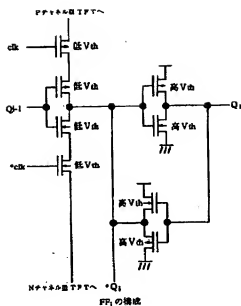


【図6】

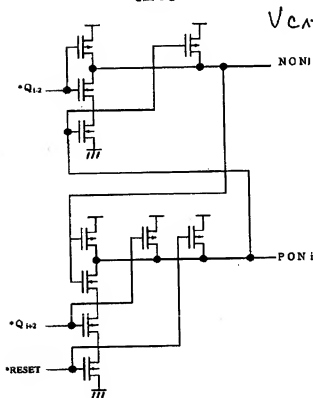


FF

【図7】



【図8】



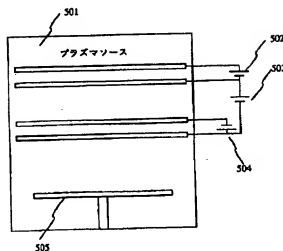
フロントページの続き

(72)発明者 田中 幸一郎

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

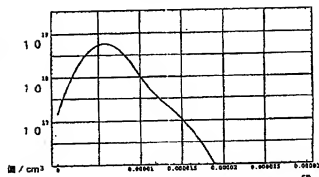
- 4 光学系
 5~9 全反射ミラー
 10 ステージ
 501 プラズマソース
 502 引き出し電圧
 503 加速電圧

【図1】

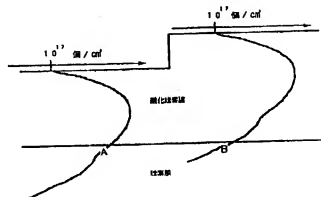


- 504 減速電圧
 505 基板ホルダー
 601~605 タイミング発生回路
 606~610 電源制御回路
 901 ゲイト線駆動回路

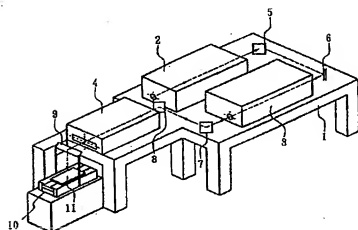
【図2】



【図5】



【図3】



【図9】

